

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10303295

(43)Date of publication of application: 13.11.1998

(51)Int.Cl.

H01L 21/768
H01L 21/316

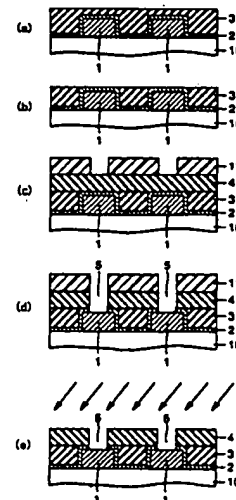
(21)Application number: 09104698 (71)Applicant: MITSUBISHI ELECTRIC CORP
RYODEN SEMICONDUCTOR
SYST ENG KK
(22)Date of filing: 22.04.1997 (72)Inventor: KAWADA HIROYUKI
MASUDA KAZUHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the metal film forming defects of a semiconductor device having a low dielectric constant interlayer insulating film by a method wherein the interlayer insulating film is so formed as to cover a wiring layer and organic ions are implanted into the interlayer insulating film.

SOLUTION: A wiring layer 1 is formed on a semiconductor substrate 10, a silicon oxide film layer 2 is so formed as to cover it, and inorganic SOG is applied to form an SOG oxide film 3. Then, CH_3^+ ions and C_2H_5^+ ions are vertically implanted from the above into the SOG oxide film 3 to produce lattice defects in the film. Then, the SOG oxide film 3 is subjected to dry-etching as far as the surface of a barrier layer directly on the wiring layers is exposed. A silicon oxide film 4 is formed and a resist pattern 11 having apertures is formed on it. The cap layer 4 is etched to form contact holes 5. The SOG oxide film 3 into which methyl groups are implanted is not exposed to oxygen radicals in an ashing treatment, so that metal film forming defects can be eliminated.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-303295

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768
21/316

H 0 1 L 21/90
21/316

P
P

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21)出願番号 特願平9-104698

(22)出願日 平成9年(1997)4月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036505

菱電セミコンダクタシステムエンジニアリ
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72)発明者 川田 宏幸

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(74)代理人 弁理士 宮田 金雄 (外2名)

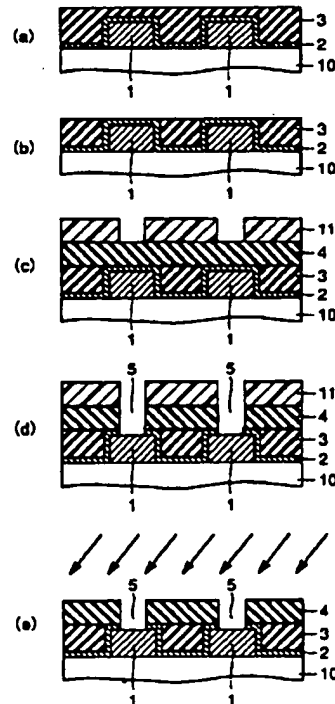
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 低誘電率層間絶縁膜を有する半導体装置の製造方法を提供することを主要な目的とする。

【解決手段】 半導体基板10の上に設けられた配線層1を覆うように、半導体基板10の上に層間絶縁膜3を形成する。層間絶縁膜3中に、有機系のイオンを注入する。



1

【特許請求の範囲】

【請求項1】 低誘電率層間絶縁膜を有する半導体装置の製造方法であって、

半導体基板の上に設けられた配線層を覆うように、該半導体基板の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜中に有機系のイオンを注入する工程と、を備えた半導体装置の製造方法。

【請求項2】 低誘電率層間絶縁膜を有する半導体装置の製造方法であって、

半導体基板の上に設けられた配線層を覆うように、該半導体基板の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜中に F^- イオンを注入する工程と、を備えた半導体装置の製造方法。

【請求項3】 前記層間絶縁膜を形成するに先立ち、前記配線層の表面を、該配線層を前記イオン注入による損傷から守るためのバリア層で被覆する工程をさらに備える、請求項1または2に記載の半導体装置の製造方法。

【請求項4】 低誘電率層間絶縁膜を有する半導体装置の製造方法であって、

半導体基板の上に設けられた配線層上に絶縁膜を形成する工程と、

前記絶縁膜中に接続孔を形成する工程と、

前記接続孔を形成するためのマスクとなったレジストを除去する工程と、

前記絶縁膜にイオンを斜め方向から注入する工程と、を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、一般に半導体装置の製造方法に関するものであり、より特定的には、低誘電率層間絶縁膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年の半導体装置の高機能化・大容量化に伴い、各層を電気的に分離している絶縁膜を介して配線間に発生する寄生容量が、配線寸法の縮小により増大し、無視できなくなっていた。今後、寄生容量が半導体装置の動作特性（動作速度）を律する状況が予想される。したがって、動作速度の遅延を防ぐために、低誘電率絶縁膜を開発することが必須の課題となっている。

【0003】 低誘電率の絶縁膜の有力候補として、 C_2F_6 -TEOSを用いてプラズマCVD（Chemical Vapor Deposition）で形成する、 $SiOF$ 膜、およびメチル基等の有機系官能基に修飾された有機系酸化膜が挙げられる。

【0004】 図2は、低誘電率層間絶縁膜の従来の製造方法の工程図である。図2（a）を参照して、配線層1が形成された半導体基板10の上に、上記CVDやSO

2

成する。図2（b）を参照して、低誘電率膜3の上にキャップ層4を、プラズマ酸化膜で形成する。キャップ層4は、上層配線（図示せず）への CH_3^- や F^- の拡散防止のために、あるいは、耐湿性に乏しい $SiOF$ 膜を保護するために、形成されるものである。

【0005】 図2（c）を参照して、配線層1と、その上に形成される上層配線を接続するための接続孔5を形成する予定の部分に開孔部を有するレジストパターン11を形成する。

【0006】 図2（d）を参照して、レジストパターン11をマスクにして、キャップ層4と低誘電率膜3をエッチングし、配線層1の表面にまで至る接続孔5を形成する。その後、レジストパターン11を、アッシングにより除去する。

【0007】 こうして、図2（e）に示される、接続孔5が形成された半導体装置が得られる。接続孔5を導電性の物質で埋込み（図示せず）、その後、上層配線を形成する（図示せず）。さらに、多層配線構造の装置を製造する場合には、以上述べた工程が繰返される。

20 【0008】

【発明が解決しようとする課題】 ところで、メチル基等を含む有機系酸化膜は、低誘電率膜を形成するが、アッシング耐性に乏しいという問題点がある。したがって、従来の方法では、図2（d）を参照して、レジストパターン11をアッシングにより除去する際に、低誘電率膜3の側壁が、接続孔（スルーホール）5の側面に露出しているため、低誘電率膜3の接続孔5に露出した側面が変質し、多量の水分を吸湿する。この水分が、後のメタライゼーションの際に放出され、ひいては、メタルの成膜に不良を生じさせるという問題点があった。

【0009】 また、フッ素を添加する酸化膜は、 C_2F_6 とTEOSを用いるプラズマCVD法で形成されるが、フッ素濃度や膜厚の面内均一性がステージ温度分布に敏感に反応するため、均一性のよい膜を得ることが困難であるという問題点があった。

【0010】 この発明は、上記のような問題点を解決するためになされたもので、低誘電率層間絶縁膜を有する半導体装置の製造方法を提供することにある。

【0011】 この発明の他の目的は、メタルの成膜に不良を生じさせないように改良された、低誘電率層間絶縁膜を有する半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】 請求項1に従う半導体装置の製造方法は、低誘電率層間絶縁膜を有する半導体装置の製造方法に係る。まず、半導体基板の上に設けられた配線層を覆うように、該半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜中に有機系のイオンを注入する。

50 【0013】 請求項2に従う半導体装置の製造方法にお

3

いては、まず、半導体基板の上に設けられた配線層を覆うように、該半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜中に F^- イオンを注入する。

【0014】請求項3に従う半導体装置の製造方法によれば、上記層間絶縁膜を形成するに先立ち、上記配線層の表面を、該配線層を上記イオン注入による損傷から守るためのバリア層で被覆する。

【0015】請求項4に従う半導体装置の製造方法においては、まず、半導体基板の上に設けられた配線に絶縁膜を形成する。上記絶縁膜中に接続孔を形成する。上記接続孔を形成するためのマスクとなったレジストを除去する。上記絶縁膜にイオンを斜め方向から注入する。

【0016】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

【0017】実施の形態1

図1(a)を参照して、半導体基板10の上にアルミニウム等の配線層1をスパッタ法により形成する。配線層1を被覆するように、プラズマCVD方式によるシリコン酸化膜層2を形成する。シリコン酸化膜層2は、配線層1を後の工程で行なうイオン注入による損傷から保護するためのものである。次に、無機SOGを半導体基板10の上に塗布し、SOG酸化膜3を形成する。SOG酸化膜3の流動性により、配線1間の埋込みと、基板の表面全体の平坦性が確保される。

【0018】次に、 CH_3^+ や $C_2H_5^+$ を、SOG酸化膜3に向けて、垂直方向から注入する。 CH_3^+ や $C_2H_5^+$ のような有機系分子イオンをイオン注入することにより膜中に格子欠損を生じさせ、さらに有機系官能基が、酸化膜を構成する $-Si-O-$ ネットワークに修飾することにより膜の密度(立体効果による単位体積あたりの原子占有体積)を低下させ絶縁膜の誘電率を低下させることができる。

【0019】図1(b)を参照して、SOG酸化膜3を、配線層1の直上に位置する、バリア層2の表面が露出するまで CF_4/O_2 ガスを使ってドライエッチングを行なう。

【0020】図1(c)を参照して、後述するアッシングの際のバリアとして働くシリコン酸化膜4をプラズマCVD方式により形成する。キャップ層4の上に、接続孔を形成する部分に開孔部を有するレジストパターン11を形成する。

【0021】図1(d)を参照して、レジストパターン11をマスクにして、キャップ層4をエッチングし、接続孔5を形成する。その後、レジストパターン11をアッシングにより除去する。このとき、メチル基が注入されたSOG酸化膜3が、接続孔5の側面に露出しないので、アッシング処理の際に、SOG酸化膜3が酸素ラジカルに晒されることがない。したがって、水分が後のメタライゼーションの際に放出されないで、後のメタル

4

の成膜に不良を生じさせない。

【0022】図1(e)を参照して、斜め方向から、 CH_3^+ や $C_2H_5^+$ を、上記シリコン酸化膜4中に注入する。斜め方向から注入することで、配線層1中にイオンが注入されることなく、キャップ層4の絶縁膜のみ改質することができ、低誘電率のものにすることができ。また、特にシリコン酸化膜4の配線上部の配線に近いところにあるシリコン酸化膜4上に選択的に集中してイオン注入を行なうことにより配線間だけでなく配線上部分のシリコン酸化膜4の低誘電率化が図れ、層間絶縁膜構造として配線間の実効的な寄生容量を低減できる効果がある。この効果によって、半導体装置の動作速度の遅延を抑制することができる。

【0023】その後、接続孔5を導電性の物質で埋込み(図示せず)、その後上層配線層を形成すると、半導体装置が完成する。

【0024】実施の形態2

実施の形態2は、低誘電率層である $SiOF$ 膜の製造方法に関する。

【0025】半導体基板の上に設けられた配線層を、プラズマ酸化膜であるバリア層で被覆する。このバリア層は、次に形成する層間絶縁膜中の水分と反応し、生成するフッ酸によって、配線層が腐食するのを防止するものである。このバリア層に、酸化膜より密度の高いプラズマ窒化酸化膜を用いると、さらにバリア性を向上させることができる。配線層を覆うように、半導体基板の上に、無機SOGを塗布し、SOG酸化膜を形成する。SOG酸化膜により、配線間の埋込みと、基板の表面全体の平坦性が確保される。

【0026】次に、SOG酸化膜に、 F^- イオンを垂直方向から注入する。注入された F^- は、 $-Si-O-$ ネットワークに結合することにより、 $-Si-O-$ 価電子分布状態を変化させ結果的に分極率を下げる。SOG酸化膜中の $Si-F$ 結合の増加とともに、誘電率は減少する。 F^- イオンを注入することで、従来の C_2F_6-TEOS プラズマCVDで成膜する際に問題となっていた、均一性のよい膜が得られないという問題点が解決され、フッ素濃度の均一な層間絶縁膜が得られる。ただし、フッ素濃度の増加とともに耐湿性が劣化する。

【0027】次に、SOG酸化膜の上にキャップ層を、プラズマ酸化膜で形成する。キャップ層は、フッ素が注入されたSOG酸化膜が大気中の水分を吸湿するのを防ぐために形成される。上述のような方法で絶縁膜を形成することによっても、低誘電率の層間絶縁膜を形成することができる。

【0028】

【発明の効果】請求項1に係る半導体装置の製造方法によれば、層間絶縁膜中に有機系のイオンを注入することで、低誘電率の層間絶縁膜が得られる。

【0029】請求項2に係る半導体装置の製造方法によ

5

れば、層間絶縁膜中に F^- イオンを注入するので、低誘電率の層間絶縁膜が得られる。

【0030】請求項3に係る半導体装置の製造方法によれば、配線層の表面を、該配線層をイオン注入による損傷から守るためのバリア層で被覆するので、配線層の損傷を防止することができる。

【0031】請求項4に係る半導体装置の製造方法によれば、接続孔を開孔した後の絶縁膜に斜めからイオン注入を行なうことで、配線への直接的なダメージを回避することができる。

10

6

【図面の簡単な説明】

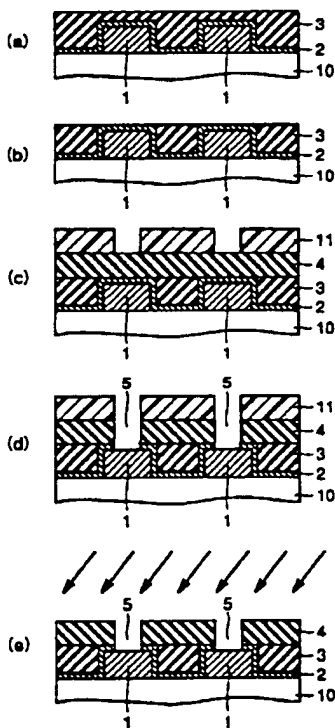
【図1】 本発明の実施の形態に係る半導体装置の製造方法の順序の各工程(a)～(e)における半導体装置の断面図である。

【図2】 従来の半導体装置の製造方法の順序の各工程(a)～(e)における半導体装置の断面図である。

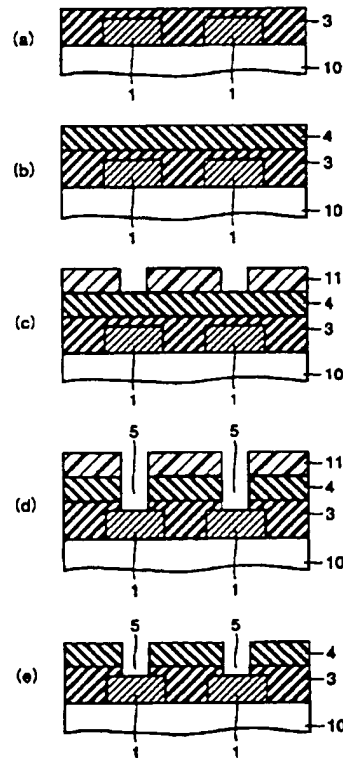
【符号の説明】

- 1 配線層、2 シリコン酸化膜層、3 層間絶縁膜、
4 キャップ層、5 接続孔、11 レジストパターン。

【図1】



【図2】



フロントページの続き

(72)発明者 増田 具拓

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内